

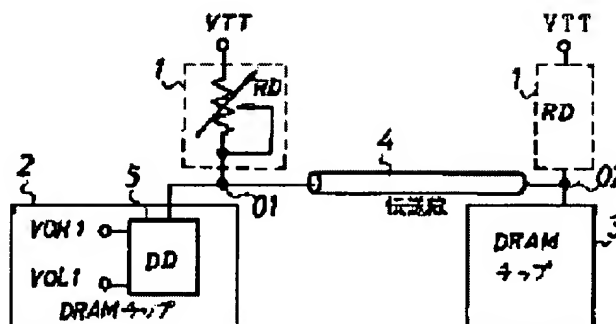
WIRING SYSTEM FOR SEMICONDUCTOR DEVICE

Patent number: JP7074606
Publication date: 1995-03-17
Inventor: KAWAHARA TAKAYUKI; ETO JUN; NAKAGOME YOSHINOBU; AOKI MASAKAZU
Applicant: HITACHI LTD
Classification:
- **International:** H03K17/76; H03K19/0175; H03M5/02
- **European:**
Application number: JP19930179207 19930720
Priority number(s): JP19930179207 19930720

Report a data error here

Abstract of JP7074606

PURPOSE: To reduce the current consumption by connecting a terminal resistance to a transmission line for suppression of reflection only when the signal level varies on the transmission line. **CONSTITUTION:** The signal level of an input/output circuit 5 of a DRAM chip 2 is decided by the exclusive power supply V_{OH1} and V_{OL1}. These V_{OH1} and V_{OL1} can be applied from outside of the chip 2 and also can be generated in the chip 2. Under such conditions, a termination circuit 1 is set at the resistance value equal to the characteristic impedance of a transmission line 4 only when output 01 received from the circuit 5 is changed and otherwise set at a high resistance level. As a result, a current flows to the circuit 1 from a terminal power voltage V_{TT} only in a signal transition state and no current flows to the circuit 1 in other periods. Thus the current consumption can be reduced.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74606

(43) 公開日 平成7年(1995)3月17日

| | | | | |
|---------------------------|------|----------|----------------|---------|
| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 3 K 17/76 | | | | |
| 19/0175 | | | | |
| H 0 3 M 5/02 | | 8842-5 J | | |
| | | 8321-5 J | H 0 3 K 19/ 00 | 1 0 1 Q |

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平5-179207

(22) 出願日 平成5年(1993)7月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 河原 尊之

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 衛藤 潤

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中込 健延

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 磯村 雅俊

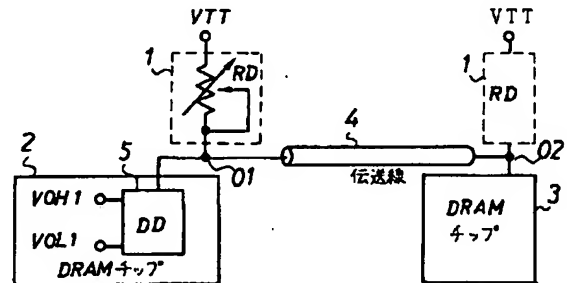
最終頁に続く

(54) 【発明の名称】 半導体装置の配線方式

(57) 【要約】

【目的】 終端抵抗による消費電流の増大と信号レベルの低下を回避し、L S I を接続するシステムの省電力化と高信頼化を図る。

【構成】 半導体装置間の伝送線上に、終端電圧を有する終端抵抗を接続して、信号の反射を防止する半導体装置の配線方式において、出力信号レベルの変化時に、反射防止に必要な時間だけ、終端抵抗を伝送線に接続する終端抵抗接続回路や、電流を消費させる信号を符号化して伝送する符号化回路や、複数の終端抵抗群から適切な値のものを動的に選択して伝送線に接続する選択回路等を設ける構成とし、終端抵抗の電流消費を低減する。



【特許請求の範囲】

【請求項 1】 半導体装置間の伝送媒体上に、終端電圧を有する終端抵抗を接続し、信号の反射を防止する半導体装置の配線方式において、上記半導体装置から出力される信号レベルの変化時に、上記信号の反射防止に必要な時間だけ上記終端抵抗を上記伝送媒体に接続して、上記伝送媒体を上記終端電圧に終端させる終端抵抗接続手段を設けることを特徴とする半導体装置の配線方式。

【請求項 2】 請求項 1 に記載の半導体装置の配線方式において、上記終端抵抗接続手段は、上記半導体装置のローレベル信号と同じ電圧値の終端電圧を有する第 1 の終端抵抗と、上記半導体装置のハイレベル信号と同じ電圧値の終端電圧を有する第 1 の終端抵抗と、上記半導体装置の出力信号と上記第 1 の終端抵抗の終端電圧との比較により、上記半導体装置の出力信号のローレベルからハイレベルの変化を検知して、上記信号の反射防止に必要な時間だけ、上記第 1 の終端抵抗を上記伝送媒体に接続する第 1 の終端抵抗接続手段と、上記半導体装置の出力信号と上記第 2 の終端抵抗の終端電圧との比較により、上記半導体装置の出力信号のハイレベルからローレベルの変化を検知して、上記信号の反射防止に必要な時間だけ、上記第 2 の終端抵抗を上記伝送媒体に接続する第 2 の終端抵抗接続手段とを具備することを特徴とする半導体装置の配線方式。

【請求項 3】 請求項 1、もしくは、請求項 2 のいずれかに記載の半導体装置の配線方式において、上記終端抵抗接続手段は、上記半導体装置から出力される信号レベルの変化時に、上記信号の反射防止に必要な時間だけ、上記終端抵抗の抵抗値を、上記終端電圧による電流を通さない高抵抗値から、上記伝送媒体の特性インピーダンスと同じ抵抗値に変化させることを特徴とする半導体装置の配線方式。

【請求項 4】 半導体装置間の伝送媒体上に、信号の反射を防止するための終端電圧を有する終端抵抗を接続してなり、上記半導体装置は、出力する信号レベルに対応して上記終端電圧による上記終端抵抗への電流の流れを制御し、該終端抵抗に流れる電流値と終端抵抗値との積からなる電圧変化を、上記半導体装置の信号として上記伝送媒体を介して伝送する半導体装置の配線方式において、上記半導体装置内に、伝送の対象となる信号を、上記終端抵抗に流れる電流量を低減するように符号化する符号化手段と、上記伝送媒体を介して受信した他の半導体装置で符号化された信号を復号化する復号化手段とを設け、上記終端抵抗に流れる電流値と終端抵抗値との積からなる電圧を、上記圧縮された信号レベルに対応して変化させることを特徴とする半導体装置の配線方式。

【請求項 5】 請求項 1 から請求項 3 のいずれかに記載の半導体装置の配線方式において、上記半導体装置内に、請求項 4 に記載の符号化手段と復号化手段を設け、該符号化手段で符号化した信号レベルの変化時に、上記

終端抵抗の接続制御を行なうことを特徴とする半導体装置の配線方式。

【請求項 6】 請求項 4、もしくは、請求項 5 のいずれかに記載の半導体装置の配線方式において、上記符号化手段は、連続する信号を圧縮し、上記復号化手段は、該圧縮された信号を伸長することを特徴とする半導体装置の配線方式。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の半導体装置の配線方式において、上記伝送媒体の特性インピーダンスを測定する測定手段と、該測定手段で測定した上記伝送媒体の特性インピーダンスとのマッチングを取るのに最適な抵抗値の抵抗を、予め用意された抵抗群から選択して、上記伝送媒体に接続する抵抗接続手段とを設けることを特徴とする半導体装置の配線方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置間で伝送される信号の反射を防止するために、伝送媒体（以下、伝送線と記載）に終端抵抗を設けた半導体装置の接続技術に係わり、特に、終端抵抗に流れる電流を効率良く制御して、信号の伝送時における消費電力を低下させるのに好適な半導体装置の配線方式に関するものである。

【0002】

【従来の技術】 近年、MPU（マイクロプロセッシングユニット）の性能向上に伴い、プロセッサの動作周波数が 50MHz（メガヘルツ）を超えることが現実のものとなりつつある。このような高い周波数を扱う LSI（大規模集積回路）実装ボードにおいては、これまで広く使われてきた TTL（トランジスタトランジスタロジック）を用いた配線方式では、リングングや反射等のために対応できない。これらの高い周波数を扱うために、近年、DRAM（ダイナミックラム）を含む LSI システムでは、終端抵抗を持ち、かつ、低振幅な配線方式の採用が本格化してきた。

【0003】 このような配線方式として、例えば、「1992 年国際ナショナルソリッドステートサーキットコンファランス、ダイジェストオブテクニカルペーパー」の第 58～59 頁（1992, International Solid-State Circuit Conference, Digest of Technical Papers, pp. 58-59）で提案された技術がある。この配線方式を DRAM に適用した例を図 15 に示す。尚、以下の説明では、図面において記号にオーバーラインを付けて表したコンプリメンタリ信号は、記号の前に / を付けて表し、また、特に断らない限り、端子名を表す記号は、同時に配線名や信号名も兼ね、電源の場合はその電圧値も兼ねるものとする。

【0004】 図 15 は、従来の半導体装置の配線方式の一構成例を示すブロック図である。本例において、クロック CLK で制御される DRAM チップ 151 の入出力

3

信号は、伝送線153を介して他のDRAMチップ又はMPU152に伝えられる。伝送線153は、終端電源VTTに接続された終端抵抗RTにより両端が終端されている。DRAMチップ151は、図示していないメモリセルとこれを制御する論理回路(図中、K1と記載)154、および、入出力回路(図中、DDと記載)155で構成され、信号線I1で、メモリセルを制御する論理回路154と入出力回路155との信号の授受を行う。入出力回路155は、出力nチャネルMOSトランジスタ(図中、M1と記載し、以下、nMOSトランジスタと記載)156とコンパレータ(図中、OPと記載)157、および、これらを制御する入出力制御回路(図中、D1と記載)158により構成されている。伝送線153上の信号電圧は、終端抵抗RTを流れる電流ITTと終端抵抗RTの抵抗値との積で示され、電流ITTは、nMOSトランジスタ156のゲートN1の電圧により変化する。次に、回路動作を図16を用いて示す。

【0005】図16は、図15における半導体装置の配線方式の動作例を示すタイミングチャートである。本図に示した出力データとは、メモリセルから読み出されて出力される信号の論理表現である。メモリセルを制御する図15の論理回路154では、この出力データに従い、クロックCLKに同期して信号線I1に信号を出力する。この信号は、出力データが「1」の時は高レベルであり、「0」の時は低レベルである。そして、このレベルは1サイクル中保持され、このような信号をノンリターンゼロ(NRZ)信号と言う。

【0006】この信号線I1の信号に従い、図15の入出力制御回路158により、図15のnMOSトランジスタ156が駆動され、出力データが「1」の時は低レベル、「0」の時は高レベルの信号を、図15のnMOSトランジスタ156のゲートN1に出力する。このため、出力データが「0」の時は、図15において、nMOSトランジスタ156がオンし、終端電源VTTからの電流が、終端抵抗RTとnMOSトランジスタ156を介して流れる。このためノードO1の出力レベルは、この電流の増加量と図15の終端抵抗RTの抵抗値との積で決まる値だけ低くなる。反対に、出力データが「1」の時は、図15のnMOSトランジスタ156がオフし、ノードO1の出力レベルはVTTレベルとなる。このようにして出力データに対応した信号がノードO1に出力される。

【0007】この方式によれば、低振幅な信号の反射などを抑えることができ、動作周波数50MHz以上のLSIボードの実現も可能となる。また、出力データが「1」のときには、図15の終端抵抗RTには電流が流れないので、消費電流を軽減することができる。しかしながら、この半導体装置の配線方式では、出力データ「0」が連続すると、図15において、終端電源VTT

4

から、終端抵抗RTとnMOSトランジスタ156を介して電流が連続的に流れるので消費電流が増大する。特に、LSIの出力ピンは多数あるので、この電流量は非常に大きくなる。また、出力「0」レベルの低下をまねき、伝送線上の信号変化が大きくなり、高速伝送ができなくなる恐れもある。

【0008】

【発明が解決しようとする課題】解決しようとする問題点は、従来の技術では、終端電源に接続された終端抵抗による電流消費を十分には低減することができない点と出力信号のローレベルの低下をまねく恐れがある点である。本発明の目的は、これら従来技術の課題を解決し、多数の出力ピンを有する半導体装置を接続してなるシステムの省電力化と信号伝送の高信頼化を可能とする半導体装置の配線方式を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置の配線方式は、(1)半導体装置間の伝送線上に、終端電圧を有する終端抵抗を接続し、信号の反射を防止する半導体装置の配線方式において、半導体装置から出力される信号レベルの変化時に、信号の反射防止に必要な時間だけ終端抵抗を伝送線に接続して、伝送線を終端電圧に終端させる終端抵抗接続回路を設けることを特徴とする。また、(2)上記(1)に記載の半導体装置の配線方式において、終端抵抗接続回路は、半導体装置のローレベル信号と同じ電圧値の終端電圧を有する第1の終端抵抗と、半導体装置のハイレベル信号と同じ電圧値の終端電圧を有する第1の終端抵抗と、半導体装置の出力信号と第1の終端抵抗の終端電圧との比較により、半導体装置の出力信号のローレベルからハイレベルの変化を検知して、信号の反射防止に必要な時間だけ、第1の終端抵抗を伝送線に接続する第1の終端抵抗接続回路と、半導体装置の出力信号と第2の終端抵抗の終端電圧との比較により、半導体装置の出力信号のハイレベルからローレベルの変化を検知して、信号の反射防止に必要な時間だけ、第2の終端抵抗を伝送線に接続する第2の終端抵抗接続回路とを具備することを特徴とする。また、(3)上記(1)、もしくは、

(2)のいずれかに記載の半導体装置の配線方式において、終端抵抗接続回路は、半導体装置から出力される信号レベルの変化時に、信号の反射防止に必要な時間だけ、終端抵抗の抵抗値を、終端電圧による電流を通さない高抵抗値から、伝送線の特性インピーダンスと同じ抵抗値に変化させることを特徴とする。また、(4)半導体装置間の伝送媒体上に、信号の反射を防止するための終端電圧を有する終端抵抗を接続してなり、半導体装置は、出力する信号レベルに対応して終端電圧による終端抵抗への電流の流れを制御し、この終端抵抗に流れる電流値と終端抵抗値との積からなる電圧変化を、半導体装置の信号として伝送線を介して伝送する半導体装置の配

線方式において、半導体装置内に、伝送の対象となる信号を、終端抵抗に流れる電流量を低減するように符号化する符号化回路と、伝送線を介して受信した他の半導体装置で符号化された信号を復号化する復号化回路とを設け、終端抵抗に流れる電流値と終端抵抗値との積からなる電圧を、圧縮された信号レベルに対応して変化させることを特徴とする。また、(5) 上記(1) から(3) のいずれかに記載の半導体装置の配線方式において、半導体装置内に、上記(4) に記載の符号化回路と復号化回路を設け、この符号化回路で符号化した信号レベルの変化時に、終端抵抗の接続制御を行なうことを特徴とする。また、(6) 上記(4)、もしくは、(5) のいずれかに記載の半導体装置の配線方式において、符号化回路は、連続する信号を圧縮し、復号化回路は、この圧縮された信号を伸長することを特徴とする。また、(7) 上記(1) から(6) のいずれかに記載の半導体装置の配線方式において、伝送線の特性インピーダンスを測定する測定部と、この測定部で測定した伝送線の特性インピーダンスとのマッチングを取るのに最適な抵抗値の抵抗を、予め用意された抵抗群から選択して、伝送線に接続する抵抗接続部とを設けることを特徴とする。

【0010】

【作用】本発明においては、伝送線上の信号レベルが変化する時にのみ、伝送線に終端抵抗を接続して反射を抑える。このことにより、信号の変化時以外は、終端抵抗には電流が流れないため、電流消費を低減することができる。また、信号がNRZ信号でないように符号化することにより、同じ出力データが続いても出力信号を変化させて、電流が流れ続けることを回避し、電流消費を低減することができる。また、半導体装置の使用状況に応じて、最適な値の終端抵抗を自動的に選択して接続する。このことにより、実際のLSIの大きな製造ばらつきや使用条件により必要以上の電流が流れることを回避することができる。

【0011】

【実施例】以下、本発明の実施例を、図面により詳細に説明する。図1は、本発明の半導体装置の配線方式の本発明に係わる構成の第1の実施例を示すブロック図である。本例は、本発明の思想概念を示すものであり、本図において、1は終端抵抗と本発明に係わる終端抵抗接続回路を具備する終端回路(図中、RDと記載)、2、3はDRAMチップ、4は信号を伝送する伝送線、5は信号を入出力する入出力回路(図中、DDと記載)である。本例において、終端回路1は、DRAMチップ2の入出力回路5からの出力O1が切り換わる時のみ、伝送線4の特性インピーダンスと同じ抵抗値となり、それ以外は、高抵抗となる。このことにより、終端回路1には、信号の遷移時のみ終端電源VTTから電流が流れ、その他の期間は電流が流れない。その結果、消費電力の低減ができる。

【0012】DRAMチップ2の入出力回路5の信号レベルは、専用の電源(電圧VOH、VOL)VOH1、VOL1で決める。この電源VOH1、VOL1は、DRAMチップ2の外部から印加しても良いし、DRAMチップ2の内部で発生させても良い。終端回路1は、DRAMチップ2の外に設けても、DRAMチップ2内に設けても良く、また、伝送線4の両端に設けても、一端だけでも良い。また、多少、終端回路1の特性は悪くなるが、分散して配置しても良い。この終端回路1の構成によって、伝送線4は、1対1の伝送となったり、いわゆるバス形式となったりする。このように構成すれば、終端電源VTTから終端回路1に流れる電流は、ノードO1の出力レベルが変化する時のみとなるので低消費電流となる。次の図2、3を用いて、本発明の半導体装置の配線方式の詳細な構成と動作の説明を行なう。

【0013】図2は、本発明の半導体装置の配線方式の本発明に係わる構成の第2の実施例を示すブロック図である。本図において、11、12が終端回路(図中、RDと記載)であり、終端回路11は、抵抗RT11、R11と、nMOSトランジスタMT11、および、コンデンサC11とからなる。また、終端回路12は、抵抗RT12、R12とpMOSトランジスタMT12、および、コンデンサC12とからなる。尚、終端回路11において、抵抗RT11とnMOSトランジスタMT11により本発明の第1の終端抵抗が構成され、抵抗R11とnMOSトランジスタMT11およびコンデンサC11とにより、本発明の第1の終端抵抗接続回路が構成されている。また、終端回路12において、抵抗RT12とpMOSトランジスタMT12により本発明の第2の終端抵抗が構成され、抵抗R12とpMOSトランジスタMT12およびコンデンサC12とにより、本発明の第2の終端抵抗接続回路が構成されている。

【0014】終端回路11の終端電圧はVOLであり、終端回路12の終端電圧はVOHである。尚、抵抗RT11、RT12の抵抗値は、nMOSトランジスタMT11、pMOSトランジスタMT12がオンした時の抵抗と合わせて伝送線4の特性インピーダンスと同じ値になるように決める。また、伝送線4にはDRAMチップ1やMPUチップが必要に応じて接続される。本例で示すように、通常の終端用の抵抗RT11、RT12に、MOSトランジスタとコンデンサおよび抵抗を加えた構成で、DRAMチップ2からの信号レベルの変化に対応した終端抵抗の接続制御を行なうことができる。

【0015】以下、図3を用いて、終端回路11、12の動作例を説明する。図3は、図2における半導体装置の配線方式の本発明に係わる動作例を示すタイミングチャートである。まず、図2のDRAMチップ2のノードO1の出力レベルは、低レベル(VOL)とする。この時、図2の終端回路11においては、nMOSトランジスタMT11のゲートノードNR11の電圧がVOL、

かつ、抵抗 $RT11$ と接続しているソースの電圧も VOL であるため、 $nMOS$ トランジスタ $MT11$ はオフしている。このため、大きな電流($ITT1$)は流れない。また、図2の終端回路12においても、 $pMOS$ トランジスタ $MT12$ のゲートノード $NR12$ の電圧は高レベル(VOH)で、抵抗 $RT12$ と接続しているソースの電圧も VOH であるため、 $pMOS$ トランジスタ $MT12$ はオフしており、大きな電流($ITT2$)は流れない。

【0016】次に、図2のDRAMチップ2のノードO1の出力レベルが、 VOL (低レベル) から VOH (高レベル) に切り換わると、図2の終端回路11において、 $nMOS$ トランジスタ $MT11$ のゲートノード $NR11$ は、コンデンサ $C11$ による容量結合で高レベルとなる。このレベルが「 $VOL+VTH$ 」を越えると、図2の $nMOS$ トランジスタ $MT11$ がオンする。ここで VTH は、図2の $nMOS$ トランジスタ $MT11$ のしきい値電圧である。これにより、図2における終端電源 VOL と伝送線4の間には、 $nMOS$ トランジスタ $MT11$ のオン抵抗と抵抗 $RT11$ の直列抵抗が現われる。すなわち、図2の伝送線4は、この直列抵抗で終端されることになる。ノードO1の出力レベルが VOL から VOH に変化してしまうと、ゲートノード $NR11$ の電荷は、図2の終端抵抗 $R11$ によって VOL に向けて一定の時定数で放電される。この放電中、ゲートノード $NR11$ の電位が「 $VOL+VTH$ 」よりも高い期間だけ、図2の終端電源 VOL の電流 $ITT1$ が流れる。

【0017】一方、図2の終端回路12においても、ノードO1の出力レベルが、 VOL (低レベル) から VOH (高レベル) に切り換わると、 $pMOS$ トランジスタ $MT12$ のゲートノード $NR12$ は、コンデンサ $C12$ による容量結合で VOH よりも上昇する。しかし、ソースの電圧が VOH であるため、 $pMOS$ トランジスタ $MT12$ はオフしたままである。ここで、ノードO1の出力レベルが、 VOH (低レベル) から VOL (高レベル) に切り換わると、図2の終端回路12においては、 $pMOS$ トランジスタ $MT12$ のゲートノード $NR12$ はコンデンサ $C12$ による容量結合で低レベルとなる。このレベルが「 $VOH-VTH$ 」を越えると、図2の $pMOS$ トランジスタ $MT12$ がオンする。ここで、 VTH は図2の $pMOS$ トランジスタ $MT12$ のしきい値電圧の絶対値である。これにより、図2における終端電源 VOH と伝送線4の間には、 $pMOS$ トランジスタ $MT12$ のオン抵抗と抵抗 $RT12$ の直列抵抗が現われる。すなわち、図2の伝送線4は、この直列抵抗で終端されることになる。ノードO1の出力レベルが VOH から VOL に変化してしまうと、ゲートノード $NR12$ の電荷は、図2の終端抵抗 $R12$ によって VOH に向けて一定の時定数で放電される。この放電中、ゲートノード $NR12$ の電位が「 $VOH-VTH$ 」よりも低い期間だけ、図2の

終端抵抗 $R12$ に電流(ITT)が流れる。

【0018】一方、図2の終端回路11では、 $nMOS$ トランジスタ $MT11$ のゲートノード $NR11$ は、コンデンサ $C11$ による容量結合で VOL よりも下降してしまう。しかし、ソースの電圧が VOL であるため、図2の $nMOS$ トランジスタ $MT11$ はオフしたままである。このように、終端電源からは、ノードO1の信号レベルが切り換わる時のみしか電流が流れないので消費電流を小さくできる。また、流れる電流量を大幅に低減でき、安定した終端電位を供給することができる。尚、本例では、図2の終端回路11の終端電圧を VOL とし、ノードO1の出力信号の低レベル(VOL)と一致させているが、ノードO1の出力信号の低レベル(VOL)よりも、図2の $nMOS$ トランジスタ $MT11$ がオンしすぎない程度に高くしても構わない。例えば、「 $VOL+VTH$ 」よりもわずかに低いレベルとしてもよい。また、図2の終端回路12も同様であり、終端電圧をノードO1の出力信号の高レベル(VOH)よりも、図2の $pMOS$ トランジスタ $MT12$ がオンしすぎない程度に低くしても構わない。

【0019】図4は、本発明の半導体装置の配線方式の本発明に係わる構成の第3の実施例を示すブロック図である。本図において、21、22は終端回路(図中、 R と記載)であり、終端回路21は、抵抗 $RT21$ 、 $R21$ と、 $nnpn$ バイポーラトランジスタ $Q21$ と、コンデンサ $C21$ とからなる。同様に、終端回路22は、抵抗 $RT22$ 、 $R22$ と pnp バイポーラトランジスタ $Q22$ 、および、コンデンサ $C22$ とからなる。尚、抵抗 $RT21$ 、 $RT22$ の抵抗値は、 $nnpn$ バイポーラトランジスタ $Q21$ 、 $Q22$ がオンした時の抵抗と合わせて伝送線4の特性インピーダンスと同じ値になるように決める。また、伝送線4にはDRAMチップ2やMPUチップが必要に応じて接続される。終端回路21の終端電圧は VOL であり、終端回路22の終端電圧は VOH である。本例で示すように、通常の終端用の抵抗 $RT21$ 、 $RT22$ に、バイポーラトランジスタとコンデンサ、および、抵抗を加えた構成で、DRAMチップ2からの信号レベルの変化に対応した終端抵抗の接続制御を行なうことができる。

【0020】以下、図5を用いて、終端回路21、22の動作例を説明する。図5は、図4における半導体装置の配線方式の本発明に係わる動作例を示すタイミングチャートである。まず、図4のDRAMチップ2のノードO1の信号レベルは、低レベル(VOL)とする。この時、図4の終端回路21においては、 $nnpn$ バイポーラトランジスタ $Q21$ のベースノード $NR21$ の電圧は VOL となっており、抵抗 $RT21$ と接続しているエミッタの電圧も VOL であるため、 $nnpn$ バイポーラトランジスタ $Q21$ はオフしている。このため、大きな電流($ITT1$)は流れない。また、図4の終端回路22に

おいては、 pnp バイポーラトランジスタ $Q22$ のベースノード $NR22$ の電圧は高レベル(VOH)となっており、抵抗 $RT22$ と接続しているエミッタの電圧も VOH であるため、 pnp バイポーラトランジスタ $Q22$ はオフしている。このため、ここでも大きな電流($IT2$)は流れない。

【0021】次に、図4のDRAMチップ2のノード $O1$ の信号レベルが、 VOL (低レベル)から VOH (高レベル)に切り換わると、図4の終端回路21において、 npn バイポーラトランジスタ $Q21$ のベースノード $NR21$ は、コンデンサ $C21$ による容量結合で高レベルとなる。このレベルが「 $VOL+VBE$ 」を越えると、図4の npn バイポーラトランジスタ $Q21$ がオンする。ここで VBE は、図4の npn バイポーラトランジスタ $Q21$ のベース・エミッタ間オン電圧である。これにより、図4における終端電源 VOL と伝送線4の間には、 npn バイポーラトランジスタ $Q21$ のオン抵抗と抵抗 $RT21$ の直列抵抗が現われる。すなわち、図4の伝送線4は、この直列抵抗で終端されることになる。ノード $O1$ の信号レベルが変化してしまうと、ベースノード $NR21$ の電荷は、図4の抵抗 $R21$ によって、 VOL に向けて一定の時定数で放電される。この放電中、ベースノード $NR21$ の電位が「 $VOL+VBE$ 」よりも高い期間だけ、図4の終端電源 VOL から電流($IT1$)が流れる。

【0022】一方、図4の終端回路22においても、ノード $O1$ の信号レベルが、 VOL (低レベル)から VOH (高レベル)に切り換わると、 pnp バイポーラトランジスタ $Q22$ のベースノード $NR22$ は、コンデンサ $C22$ による容量結合で VOH よりも上昇する。しかし、エミッタの電圧が VOH であるため、 pnp バイポーラトランジスタ $Q22$ はオフしたままである。ここで、ノード $O1$ の信号レベルが VOH (高レベル)から VOL (低レベル)に切り換わると、図4の終端回路22においては、 pnp バイポーラトランジスタ $Q22$ のベースノード $NR22$ は、コンデンサ $C22$ による容量結合で低レベルとなる。このレベルが「 $VOH-VBE$ 」を越えると、図4の pnp バイポーラトランジスタ $Q22$ がオンする。ここで、 VBE は図4の pnp バイポーラトランジスタ $Q22$ のベース・エミッタ間オン電圧である。

【0023】これにより、図4における終端電源 VOH と伝送線4の間には、 pnp バイポーラトランジスタ $Q22$ のオン抵抗と抵抗 $RT22$ の直列抵抗が現われる。すなわち、図4の伝送線4は、この直列抵抗で終端されることになる。ノード $O1$ の信号レベルが変化してしまうと、ベースノード $NR22$ の電荷は、図4の抵抗 $R22$ によって VOH に向けて一定の時定数で放電される。この放電中、ベースノード $NR22$ の電位が「 $VOH-VBE$ 」よりも低い期間だけ、終端電源から電流(IT

$IT1$)が流れる。一方、図4の終端回路11においては、 npn バイポーラトランジスタ $Q21$ のベースノード $NR21$ は、コンデンサ $C21$ による容量結合で VOL よりも下降してしまう。しかし、エミッタの電圧が VOL であるため、図4の npn バイポーラトランジスタ $Q21$ はオフしたままである。

【0024】このように、終端電源からは、ノード $O1$ の信号レベルが切り換わる時のみしか電流が流れないので消費電流を小さくすることができる。また、流れる電流量を大幅に低減でき、終端電位を安定に供給することができる。尚、本例では、図4の終端回路21の終端電圧を VOL とし、ノード $O1$ の信号の低レベル(VOL)と一致させているが、ノード $O1$ の信号の低レベル(VOL)よりも、図4の npn バイポーラトランジスタ $Q21$ がオンしすぎない程度に高くしても構わない。例えば、「 $VOL+VBE$ 」よりもわずかに低いレベルとしておいてもよい。また、図4の終端回路22も同様であり、終端電圧をノード $O1$ の信号の高レベル(VOH)よりも、図4の pnp バイポーラトランジスタ $Q22$ がオンしすぎない程度に低くしても構わない。ただし、両者共にバイポーラトランジスタの飽和に注意して決める。

【0025】次に、本発明に係わる他の実施例の説明を行なう。図6は、本発明の半導体装置の配線方式の本発明に係わる構成の第3の実施例を示すブロック図である。従来の半導体装置の配線方式における問題点の1つとして、DRAMチップが同一のデータを連続して出力した場合、その期間中、終端電源から電流が流れ続け、消費電力を増大させるという問題があった。本第3の実施例では、DRAMチップからの出力データを符号化することにより、必ず、リターンゼロ(RZ)信号として出力し、終端電源から連続的に電流を流さない符号化回路と復号化回路を具備したDRAMチップ30を設けた構成となっている。DRAMチップ30は、図示していないメモリセルとそれを制御する論理回路(図中、 $K1$ と記載)31と、データの入出力回路(図中、 DD と記載)32からなり、この入出力回路32は、出力トランジスタ(図中、 $M1$ と記載)33とコンパレータ(図中、 OP と記載)34、および、本発明に係わる符号化回路(図中、 $G1$ と記載)35と復号化回路(図中、 $H1$ と記載)36を具備した入出力制御回路(図中、 $D1$ と記載)37とにより構成されている。尚、伝送線4を介してDRAMチップ30と接続されるDRAMチップ30aも同様な構成である。

【0026】メモリセルから読み出された信号は、信号線 $S1$ を通して、符号化回路35に入力される。符号化回路35では、後述の図7、8で詳細を説明するように、この信号を RZ 信号として符号化し、出力トランジスタ33に送る。これにより出力トランジスタ33を駆動し、伝送線4にデータを出力する。出力トランジスタ

33のゲートノードN1は、毎クロックサイクルにRZ信号が加わるので、終端電源VTTから連続的に電流が流れることは無い。復号化回路36は、後述の図9、10で詳細を説明するように、他のDRAMチップ30aで符号化された入力信号を取り込み、ノンリターンゼロ(NRZ)信号に変換する。この信号は、信号線Y1を介して論理回路31に入力される。

【0027】本実施例では、符号化回路35と復号化回路36を設けることにより、同じ信号が連続しても、大きな直流電流が流れることは無い。尚、本例では、符号化回路35や復号化回路36を独立した回路ブロックとし、従来の回路構成に付加させる構成としたが、より効果的にするために、読み出し回路や入力回路等と融合した構成としてもよい。また、本実施例は図面で示した入出力の回路形式に特定するものではない。さらに、この符号化は、従来のDRAMチップにおいて、非選択時に出力をハイインピーダンスにすることとは異なり、データを出力している時に、NRZ信号ではない符号化した信号を出力するものである。

【0028】図7は、図6におけるDRAMチップの符号化回路部分の詳細な構成の具体例を示すブロック図である。本例のDRAMチップ30は、メモリセルアレー(図中、MAと記載)70と、符号化回路(図中、G1と記載)35とを具備し、符号化回路35は、イクスクルーシブOR回路(図中、XORと記載)71と、D形フリップフロップ回路(図中、DFと記載)72と、インバータ(図中、INと記載)73からなり、メモリセルアレー70は、ワード線W、データ線対D、/D、その交点の図中の円で示したメモリセルからなる。また、図中のYSは、メモリセルアレー70と読み出し回路(図中、RAと記載)74を接続するnMOSトランジスタの制御信号である。また、図中のCLKは、DRAMチップ30の1サイクルに等しい周波数のクロックであり、2CLKは、このクロックCLKの2倍の周波数のクロックである。読み出し回路74によって、メモリセル信号が読み出され、ノードS1に出力される。符号化回路35では、2つのクロック(CLK、2CLK)を用いて、信号線S1に出力されたメモリセル信号を符号化し、出力トランジスタM1を駆動する。符号化回路35で符号化された信号は、出力データ「1」を、高レベルから低レベルの変化で表し、「0」を低レベルから高レベルへの変化で表す。このような構成のDRAMチップ30の動作を、次の図8を用いて説明する。

【0029】図8は、図7におけるDRAMチップの本発明に係わる符号化動作の一具体例を示すタイミングチャートである。ノードS1には、クロックCLKに同期して、「101000」の順にNRZ信号が現われるとする。まず、ノードS1上の信号とクロックCLKとでイクスクルーシブOR論理をとる。図7におけるイクスクルーシブOR回路71の出力のノードNE1には、両

者の論理が一致したときに、高レベルが現われる。このノードNE1上の信号は、クロック2CLKが入力されている図7のD型フリップフロップ72に入力され、半周期遅れてデータ線(/Q)から出力する。この出力信号を、図7のインバータ73を介して、図7の出力トランジスタ33のゲートN1に入力する。これによって、ノードO1に所望の信号を発生する。すなわち、図7のノードO1では、出力データ(S1)が「1」の場合は、高レベルから低レベルへ変化する信号を、また、「0」の場合は、低レベルから高レベルへ変化する信号を得ることができる。

【0030】従って、同じデータが連続するときには、クロックCLKと同じ周波数で位相がデータによって異なる信号となり、1サイクル毎にデータが異なる場合には、クロックCLKの半分の周波数の信号となる。このことにより、図7の終端抵抗RTを流れる電流ITTは、同じ信号が連続する場合にも、従来例のように直流電流が連続して流れることはなく、消費電力を小さくすることができる。このように、本実施例では、簡単な回路を従来の構成に付加するだけで、符号化した信号を得ることができる。尚、出力トランジスタが、pMOSトランジスタであったり、nMOSトランジスタとpMOSトランジスタのプッシュプルであったり、あるいは、ECLインタフェースの場合も、本実施例は容易に拡張できる。

【0031】図9は、図6におけるDRAMチップの復号化回路部分の詳細な構成の具体例を示すブロック図である。本例のDRAMチップ30aは、メモリセルを含む論理回路(図中、K1と記載)31と、コンパレータ(図中、OPと記載)34と、本発明に係わる復号化回路(図中、H1と記載)36とを具備し、この復号化回路36は、NAND回路91と、D形フリップフロップ回路(図中、DFと記載)92と、インバータ(図中、INと記載)93からなり、コンパレータ34には、参照電圧Vrefも入力する。クロックCLKは、このDRAMチップ30aの1サイクルに等しい周波数のクロックであり、クロック2CLKは、このクロックCLKの2倍の周波数のクロックである。ノードO2上の符号化された信号は、コンパレータ34と信号線X1を通過してDRAMチップ30a内部用の入力信号となる。復号化回路36では、2つのクロック(CLK、2CLK)を用いて、信号線X1に出力された符号化された信号を、NRZ信号に変換して、信号線Y1に出力する。このような構成のDRAMチップ30aの動作を、次の図10を用いて説明する。

【0032】図10は、図9におけるDRAMチップの本発明に係わる復号化動作の一具体例を示すタイミングチャートである。本例において、クロック2CLKはクロックCLKの2倍の周波数である。図9のコンパレータ34には、ノードO2上の符号化された信号が入力さ

れる。このノードO2の信号が、図9のコンパレータ34で参照電圧Vrefと比較され、信号線X1上に、本図に示すような信号が現われる。一方、図9のインバータ回路93とNAND回路91には、それぞれ、クロックCLKとクロック2CLKが入力され、その結果、NAND回路91のノードNH1には、本図に示すような信号が現われる。すなわち、ノードNH1には、クロックCLKと同じ周波数で、高レベルが1/4周期で、遅延が1/4周期のパルスが作られる。これは、図9のD型フリップフロップ36のクロックとして入力される。そして、図9のコンパレータ34から信号線X1に出力された信号は、図9のD型フリップフロップ92のデータとして入力される。

【0033】図9のD型フリップフロップ92は、クロック信号が高レベルの時にデータを取り込み、クロックが低レベルの間、出力を保持する。本例では、クロック信号は1/4周期だけ遅れているので、図9のD型フリップフロップ92に輸入されるデータの1周期の前半の状態を取り込み、それを次のサイクルまで保持する。従って、高レベルから低レベルに変化するよう符号化されたデータは、高レベル信号に、また、低レベルから高レベルに変化するよう符号化されたデータは、低レベル信号に復調される。このようにして、符号化された信号はNRZ信号に復調される。なお、回路構成によっては、NRZ信号に変換する必要がない場合や、論理構成上、変換機能が他の動作と兼ねられるような場合もある。

【0034】次に、他の符号信号に符号化する場合の例を説明する。図11は、図6におけるDRAMチップの本発明に係わる符号化動作の他の具体例を示すタイミングチャートである。本例は、図6に示す半導体装置の配線方式で用いる符号信号の例を示すものであり、出力データが「10100011」の順に出力されると仮定する。従来のNRZ信号では、「0」が連続する時に、直流成分が生じてしまう。これに対して、変換例1~4に示す例では、直流成分が存在しない。

【0035】すなわち、変換例1では、連続したデータの關係に注目し、「11」の信号の場合は位相を変えないで、クロックCLKと同じ周波数の信号とし、また、「10」および「01」の場合は、位相を信号の切り換わりで反転させて、クロックCLKと同じ周波数の信号とし、さらに、「00」の信号の場合は、位相を変えないで、クロックCLKとの半分の周波数の信号とする。また、変換例2では、「1」にはクロックCLKと同じ周波数の信号を割り当て、「0」にはクロックCLKの半分の周波数の信号を割り当てる。これは、アナログ信号の周波数変調(FM変調)に対応する。変換例3と変換例4では、「0」が連続する時に、NRZ信号と同じように、直流成分が存在するかのように見えるが、本例では、信号の変化分だけを取り扱う方式である。すなわ

ち、変換例3では、NRZ信号の微分信号となっており、変換例4では、「1」のみを取り出して図のような信号とする。

【0036】尚、図6~図11で説明した方式に、図1~図5で示した出力の変化時に終端抵抗が見える方式を適用することができる。しかも、この時、図1~図5で示した出力信号の高レベルと低レベルを決める電源であるVOL、VOHは必要とせず、構成がより簡単となり、さらに効果的である。次に、従来の半導体装置の配線方式の他の問題点、すなわち、終端抵抗の値がLSIの製造条件や、LSIの使用条件によって異なり、これによって、消費電流が増大してしまうという問題点を解決する実施例の説明を、次の図12、13を用いて行なう。

【0037】図12は、本発明の半導体装置の配線方式の本発明に係わる構成の第4の実施例を示すブロック図である。本図は、図6におけるDRAMチップ30に、伝送線の特性インピーダンスを測定する本発明に係わる測定部としての設定部(図中、SG1と記載)123と、最適なインピーダンスマッチングが取れる抵抗値の抵抗を選択する本発明の抵抗接続部としての選択回路(図中、SS1と記載)121およびレジスタ(図中、RG1と記載)122とを設けたDRAMチップ40の構成を示すものである。本図において、R1~Rnは抵抗のセットであり、それぞれ、出力ノードO1と終端電源VTTにスイッチSW1~SWnを介して接続されている。本例では、オンさせるスイッチSW1~SWnを選択することにより、出力ノードO1と終端電源VTT間の抵抗値を変えることができる。本例では、レジスタ122に、どのスイッチSW1~SWnをオンさせるかを記憶させておき、この記憶内容に基づき、選択回路121が、スイッチSW1~SWnを選択する。レジスタ122は外部から書き換え可能であり、設定部123により書き換える。

【0038】本実施例においては、終端抵抗値を、次のようにして決める。例えば、一定時間ごとにテストパルスをノードO1に印加して、あるいは、DRAMチップ40自身から発生し、ノードO1のリンギング量をオペアンプ等で検知し、設定部123により、これを最小にするようにスイッチSW1~SWnをオンさせる。このことにより、LSIの製造条件や、次の図13で示すようにLSIの使用条件に適した終端抵抗値を設定することができ、過度な電流が流れることを回避でき、電流の消費を低減させることができる。尚、設定部123、レジスタ122、選択回路121や抵抗R1~Rn、および、スイッチSW1~SWnは、全てをDRAMチップ40上に設けても、また、全てを別チップとしても、あるいは、部分的に分けても良い。

【0039】図13は、本発明の半導体装置の配線方式の本発明に係わる構成の第5の実施例を示すブロック図

である。本図は、図12におけるDRAMチップ40の
 15 終端抵抗値を、その使用条件で変更する例を示すもので
 あり、伝送線4の両端にDRAMチップ40を置く場合
 (M1、Mn)は、スイッチSWをオンして、終端抵抗
 値を伝送線4の特性インピーダンスと一致させ、途中に
 置く場合(M2~Mn-1)は、スイッチSWをオフし
 て、終端抵抗を切り離しておく。このようにして、LS
 Iの使用条件に適した終端抵抗値を設定することができ
 る。

【0040】図14は、本発明の半導体装置の配線方式
 を用いたシステムの構成例を示すブロック図である。本
 図において、矢印は信号の流れを表わし、141は本発
 明を用いたDRAMチップ等のメモリ装置(図中、Mと
 記載)、142はシステム全体を制御する処理装置(図
 中、MPUと記載)、143はリフレッシュアドレス発
 生装置(図中、RAGと記載)、144は本発明を用い
 たメモリ装置141部分の制御信号発生装置(図中、T
 Cと記載)、145は処理装置142から送られてくる
 アドレス信号と、リフレッシュアドレス発生装置143
 から送られてくるリフレッシュアドレス信号とを切り換
 20 えるセレクト装置(図中、SLCTと記載)であり、ま
 た、146はシステム内の他の装置(図中、PFYと記
 載)であり、例えば、外部記憶装置や表示装置、ある
 いは、数値演算装置等であり、無線回線を含む通信回線
 を通して他の情報処理装置と接続される場合もある。

【0041】また、DATAは処理装置142とメモリ
 装置141との間でやりとりされるデータを表わし、A
 icは処理装置142で発生するアドレス信号を、A
 irはリフレッシュアドレス発生装置143で発生するリ
 フレッシュアドレス信号を示し、Aiはセレクト装置1
 45で選択され、メモリ装置141に送られるアドレス
 30 信号を示す。また、STは処理装置142からリフレ
 シュアドレス発生装置143に送られるステータス信
 号、BSは制御信号発生装置144から処理装置142
 へのビジー信号である。さらに、SEは制御信号発生
 装置144から送られるセレクト装置145の起動をかけ
 る信号であり、/RASおよび/CASはメモリ装置1
 41の起動をかける信号である。

【0042】また、SGは処理装置142とシステム内
 の他の装置との信号のやりとりをまとめて表わした信号
 群である。これらの信号は1対1で伝送される場合もあ
 るし、バス形式で伝送される場合もある。メモリ装置1
 41としては、DRAMの他に、SRAM(Static
 RAM、スタティックラム)やEEPROM(イー
 ービーロム)等も考えられる。この時はもちろんそ
 れに応じた起動信号や制御信号が存在する。

【0043】このようなシステムにおいて、例えば、処
 理装置142とメモリ装置141との間でやりとりされ
 るデータバス上に、信号の変化時のみに終端抵抗が見え
 る図1~図5に示した終端回路を設けたり、あるいは、

処理装置142とメモリ装置141上に、図6~図11
 に示した符号化回路と復号化回路を設け、データのやり
 とりをしたり、図12、13に示したように、終端抵抗
 を最適な値に選ぶ機能を有したりすることができる。こ
 れによって、本実施例で示した半導体装置の配線方式に
 よれば、50MHz以上の動作周波数で信号をやりとり
 しても、ノイズや反射を抑えて、かつ、低消費電流であ
 るシステムを構成することができる。

【0044】以上、図1~図14を用いて説明したよう
 10 に、本実施例の半導体装置の配線方式では、信号が変化
 する時のみ終端抵抗と接続して反射を抑えることによ
 り、信号が変化するときのみしか電流が流れないため低消
 費電流となる。また、信号がNRZ信号で無いようにす
 ることにより、同じ出力データが続いても、出力信号は
 変化するため、電流が流れ続けることはなく、低消費電
 流となる。さらに、LSIの使用条件等に合わせて、終
 端に最適な値の終端抵抗を選択することにより、実際の
 LSIの大きな製造ばらつきや使用条件によって必要以
 上の電流が流れることによる消費電流の増大を回避する
 20 ことできる。尚、各図の説明においても説明したよう
 に、本発明は、図1~図14を用いて説明した実施例に
 限定されるものではなく、その要旨を逸脱しない範囲に
 おいて種々変更可能である。例えば、本実施例では、半
 導体装置としてDRAMチップを用いた例で説明した
 が、MPUなどに対しても同様に適用できる。

【0045】

【発明の効果】本発明によれば、終端抵抗による終端電
 源の消費電流の増大と出力レベルの低下を回避できるの
 で、多数の出力ピンを有するLSIを接続するシステム
 30 の省電力化と高信頼化が可能である。

【図面の簡単な説明】

【図1】本発明の半導体装置の配線方式の本発明に係わ
 る構成の第1の実施例を示すブロック図である。

【図2】本発明の半導体装置の配線方式の本発明に係わ
 る構成の第2の実施例を示すブロック図である。

【図3】図2における半導体装置の配線方式の本発明に
 係わる動作例を示すタイミングチャートである。

【図4】本発明の半導体装置の配線方式の本発明に係わ
 る構成の第3の実施例を示すブロック図である。

40 【図5】図4における半導体装置の配線方式の本発明に
 係わる動作例を示すタイミングチャートである。

【図6】本発明の半導体装置の配線方式の本発明に係わ
 る構成の第3の実施例を示すブロック図である。

【図7】図6におけるDRAMチップの符号化回路部分
 の詳細な構成の具体例を示すブロック図である。

【図8】図7におけるDRAMチップの本発明に係わる
 符号化動作の具体例を示すタイミングチャートであ
 る。

50 【図9】図6におけるDRAMチップの復号化回路部分
 の詳細な構成の具体例を示すブロック図である。

【図10】図9におけるDRAMチップの本発明に係わる復号化動作の一具体例を示すタイミングチャートである。

【図11】図6におけるDRAMチップの本発明に係わる符号化動作の他の具体例を示すタイミングチャートである。

【図12】本発明の半導体装置の配線方式の本発明に係わる構成の第4の実施例を示すブロック図である。

【図13】本発明の半導体装置の配線方式の本発明に係わる構成の第5の実施例を示すブロック図である。

【図14】本発明の半導体装置の配線方式を用いたシステムの構成例を示すブロック図である。

【図15】従来の半導体装置の配線方式の一構成例を示すブロック図である。

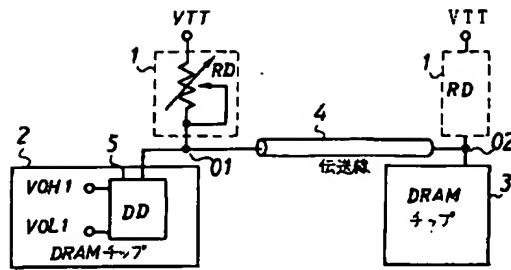
【図16】図15における半導体装置の配線方式の動作例を示すタイミングチャートである。

【符号の説明】

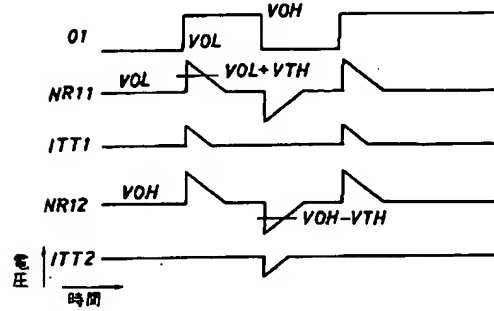
- 1 終端回路
- 2、3 DRAMチップ
- 4 伝送線
- 5 入出力回路
- 11、12 終端回路
- 30、30a DRAMチップ
- 31 論理回路
- 32 入出力回路
- 33 出力トランジスタ
- 34 コンパレータ
- 35 符号化回路
- 36 復号化回路
- 37 入出力制御回路
- 40 DRAMチップ
- 70 メモリセルアレー
- 71 イクスクループOR回路
- 72 D形フリップフロップ回路
- 73 インバータ
- 74 読み出し回路
- 91 NAND回路
- 92 D形フリップフロップ回路
- 93 インバータ
- 121 選択回路
- 122 レジスタ
- 123 設定部
- 141 メモリ装置
- 142 処理装置

- 143 リフレッシュアドレス発生装置
- 144 制御信号発生装置
- 145 セレクト装置
- 146 他の装置
- 151 DRAMチップ
- 152 DRAMチップ又はMPU
- 153 伝送線
- 154 論理回路
- 155 入出力回路
- 10 156 nMOSトランジスタ
- 157 コンパレータ
- 158 入出力制御回路
- Ai アドレス信号
- Aic アドレス信号
- Air リフレッシュアドレス信号
- BS ビジイ信号
- C11、C12、C21、C22 コンデンサ
- CLK、2CLK クロック
- /CAS、/RAS、SE 起動をかける信号
- 20 DATA データ
- I1 信号線
- ITT、ITT1、ITT2 電流
- MT11 nMOSトランジスタ
- MT12 pMOSトランジスタ
- N1 ゲート
- NE1、NH1 ノード
- NR11、NR12 ゲートノード
- NR21、NR22 ベースノード
- O1、O2 ノード
- 30 Q21 npnバイポーラトランジスタ
- Q22 pnpバイポーラトランジスタ
- /Q データ線
- R1~Rn 抵抗
- R11、R12、RT11、RT12 抵抗
- R21、R22、RT21、RT22 抵抗
- S1 信号線
- SG 信号群
- ST ステータス信号
- SW、SW1~SWn スイッチ
- 40 VOH、VOL、VTT 終端電源
- VOH1、VOL1 電源
- Vref 参照電圧
- X1、Y1 信号線

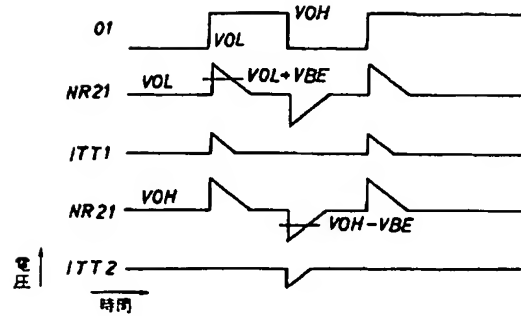
【図 1】



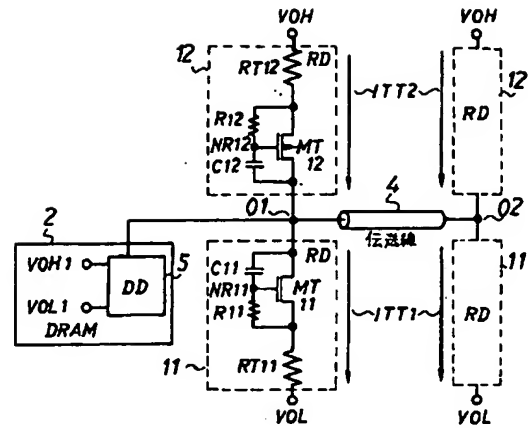
【図 3】



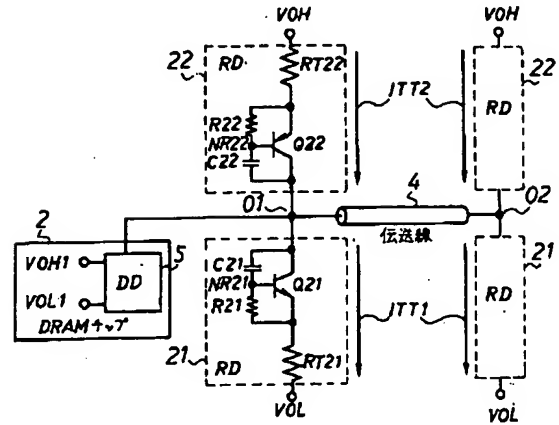
【図 5】



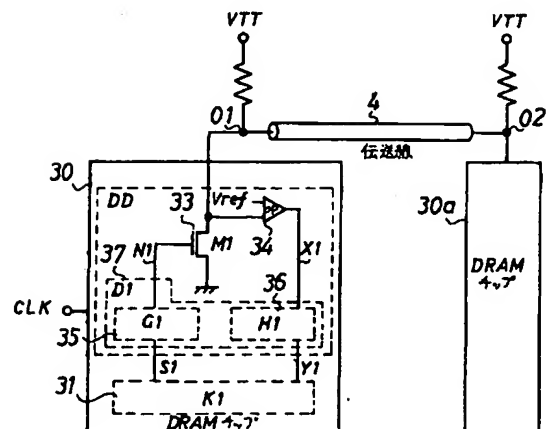
【図 2】



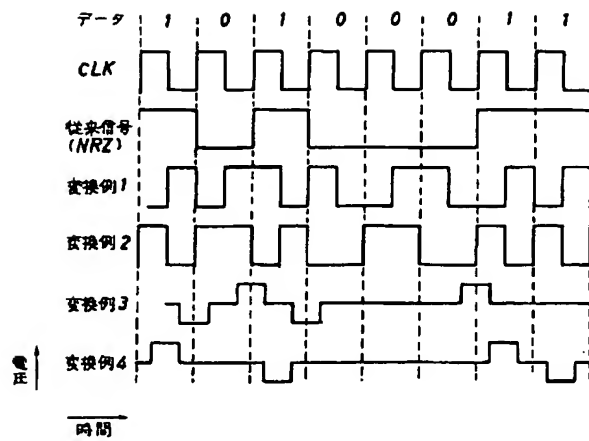
【図 4】



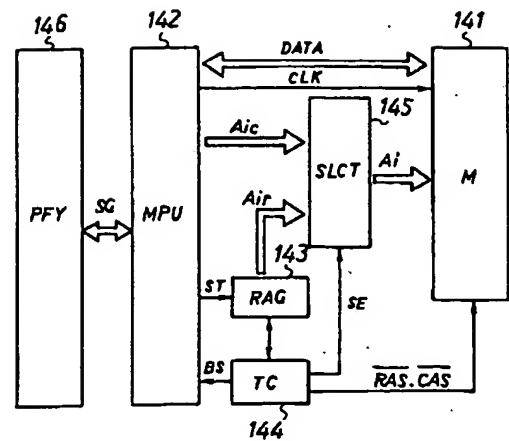
【図 6】



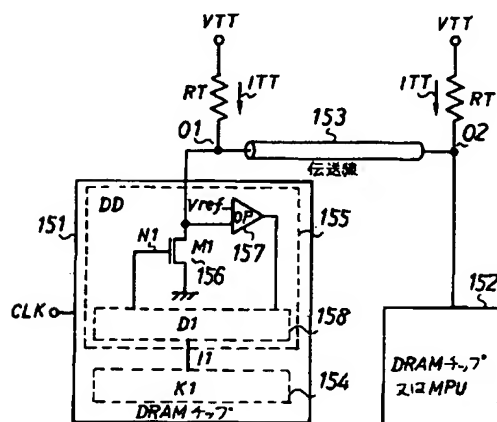
【図11】



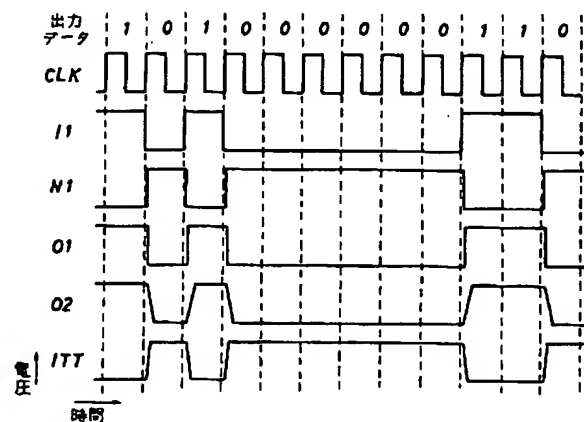
【図14】



【図15】



【図16】



フロントページの続き

(72) 発明者 青木 正和
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内